

Full Translation

Japanese U.M. Publication No. Hei 6(1994)-6597

Publication Date: February 16, 1994

Application Number: U.M. Application No. 59104/1987

Application Date: April 17, 1987

Laid-Open Number: U.M. Laid-Open No. 165914/1988

Laid-Open Date: October 28, 1988

Applicant: Icom Co., Ltd.

Inventor: Shigeyoshi Tanabe

Agent: Toyoaki Fukui, Patent Attorney

[Title of the Invention] FM Modulation Circuit

[Claim 1]

1. An FM modulation circuit comprising a voltage-controlled oscillator circuit (hereinafter called "VCO circuit") constituting a PLL, which is provided with a modulating variable reactance element,

wherein the reactance of the modulating variable reactance element is changed according to a change in amplitude of a modulated wave to thereby directly change an oscillation frequency of the VCO circuit, and

the side of input of the modulated wave to the modulating variable reactance element is grounded via a bias resistor, and an oscillation frequency control voltage for controlling the oscillation frequency of the VCO circuit in association with a difference in phase

between an output of the VCO circuit and an output of a reference oscillator is applied across the bias resistor to thereby apply a bias voltage corresponding to the oscillation frequency.

[Detailed Description of the Invention]

[Industrial Field of Application]

This invention relates to an FM modulation circuit, and particularly to an FM modulation circuit using a PLL circuit.

[Prior Art and Problems thereof]

An FM modulation circuit using a PLL circuit, which has heretofore been, is configured as shown in Fig. 3, for example.

A frequency of a reference signal from a reference oscillator 21 is inputted to a phase comparator 22, where it is compared with the output of a phase detector 23 to be described later. The result of comparison by the phase comparator 22 is inputted to a low-pass filter 2 from which a frequency control voltage V_c corresponding to the difference in phase between both inputs to the phase comparator 22 is outputted. A VCO circuit 1 changes the capacitance of each of variable capacitance diodes 11 for frequency control according to the magnitude of the frequency control voltage V_c supplied from the low-pass filter 2 as described above. The variable capacitance diode 11 is connected in series with a modulating variable capacitance diode 12 through a coil 13. Series

capacitances of the coil 13 and both the variable capacitance diodes 11 and 12 are series-resonated to oscillate a signal having an intended frequency. Namely, when the frequency control voltage V_c increases, the capacitance of each reverse-biased variable capacitance diode 11 is reduced. Therefore, an oscillation frequency becomes high. On the other hand, a modulated signal S_o is inputted to the VCO circuit 1. The signal S_o is applied to the anode side of the modulating variable capacitance diode 12 through a choke coil 14 to vary the capacitance of the modulating variable capacitance diode 12 according to the level of the signal S_o , thereby FM-modulating the intended frequency signal. At this time, high-frequency noise contained in the signal S_o is cut off by the choke coil 14 and allowed to escape through a capacitor C_1 . Incidentally, a fixed voltage VDD is always applied to the cathode side of the modulating variable capacitance diode 12, and a voltage obtained by dividing VDD with a resistor R_3 and a bias resistor R_4 is always applied to the anode side of the modulating variable capacitance diode 12.

In such a conventional circuit, the capacitance of each frequency variable capacitance diode 11 is equivalently reduced with an increase in the oscillation frequency of the VCO. Therefore, the amount of change in the series capacitance thereof becomes small with respect to the amount of change in the capacitance of the

modulating variable capacitance diode 12. The degree of modulation or modulation depth (maximum frequency shift) becomes small as the oscillation frequency increases. Accordingly, the conventional circuit is apt to increase in modulation depth at a low frequency and decrease in modulation depth at a high frequency as indicated by a broken line shown in Fig. 4. However, when the modulation depth excessively increases upon FM modulation, an occupied frequency band is expanded according to a rated value, thus causing inconvenience. When the modulation depth is excessively small, a sufficient sound level cannot be obtained, thus causing inconvenience.

[Object of the Invention]

The present invention has been proposed in view of the conventional problems and aims to provide an FM modulation circuit in which a modulation depth becomes substantially uniform with respect to the frequency.

[Means for Solving the Object]

In order to achieve the above object, the present invention adopts the following means. Namely, there is provided an FM modulation circuit including a voltage controlled oscillator circuit (hereinafter described as "VCO circuit") constituting PLL, which is provided with a modulating variable reactance element, wherein the reactance of the modulating variable reactance element is changed according to a change in the amplitude of a modulating wave, thereby directly changing an oscillation

frequency of the VCO circuit, and wherein the side of input of the modulating wave to the modulating variable reactance element is grounded via a bias resistor, and an oscillation frequency control voltage for controlling the oscillation frequency of the VCO circuit in association with the difference in phase between the output of the VCO circuit and the output of a reference oscillator is applied via the bias resistor to thereby apply a bias voltage corresponding to the oscillation frequency.

[Effects]

Owing to the above configuration, when the oscillation frequency increases, the bias voltage also increases. Thus, since the difference in potential between the anode and cathode of the modulating variable reactance element is reduced and the capacitance increases, the modulation depth (maximum frequency shift) can be prevented from being reduced. When the oscillation frequency is reduced in reverse, the bias voltage is also reduced. Thus, since the difference in potential between the anode and cathode of the modulating variable reactance element becomes large and the capacitance decreases, the modulation depth can be prevented from increasing.

The bias voltage makes use of a frequency control voltage for controlling the VCO oscillation frequency of the PLL circuit. Thus, the object can be achieved without greatly changing the conventional circuit.

[Embodiment]

Fig. 1 is a block diagram showing one embodiment of the present invention, and Fig. 2 shows in detail a principal portion of the block diagram.

A frequency control voltage outputted from a low-pass filter 2 is inputted to each of frequency control variable capacitance diodes 11 of a VCO circuit 1 through a PLL loop in a manner similar to the prior art. However, the frequency control voltage is connected via a buffer circuit 3 and a resistor R_1 to a line for inputting a modulated signal S_o . This line is grounded via a bias resistor R_2 , and a voltage obtained by dividing an output voltage of the buffer circuit 3 with the resistor R_1 and the bias resistor R_2 is applied to the anode side of a modulating variable capacitance diode 12. This serves as an alternative to the voltage obtained by dividing VDD employed in the conventional example with the resistor R_3 and the bias resistor R_4 . This voltage is not applied in the conventional example.

Thus, since the frequency control voltage of the low-pass filter 2 is held high when oscillations are performing at a high frequency, a bias voltage E_V increases and serves in a direction to increase the capacitance of the modulating variable capacitance diode 12. Therefore, the amount of change in capacitance, based on the modulated signal also increases, thus preventing a reduction in modulation depth. Since the frequency

control voltage of the low-pass filter is held low when oscillations are performing at a low frequency in reverse, the bias voltage E_V is lowered and serves in a direction to decrease the capacitance of the modulating variable capacitance diode 12. Therefore, the amount of change in capacitance, based on the modulated signal is also reduced, thus preventing an increase in modulation depth. As a result, the modulation depth (maximum frequency shift) becomes uniform regardless of the magnitude of an oscillation frequency as indicated by a solid line in Fig. 4 (in which $\pm 4.3\text{KHz}$ is assumed to be the optimum modulation depth).

Incidentally, the buffer circuit 3 is used to match the impedance of the low-pass filter 2 to that of the VCO circuit 1. If circuits or elements capable of achieving this object are taken, then any one can be used.

[Advantage of the Invention]

In the present invention as described above, a bias voltage corresponding to an oscillation frequency of a VCO is applied to a modulating variable capacitance diode (modulating variable reactance element) to thereby perform a capacitance correction, thereby making it possible to prevent a change in modulation depth due to the oscillation frequency of the VCO and causing no broadening of an occupied frequency band due to an excessive increase in modulation depth and no shortage of volume due to an excessive decrease in modulation depth.

[Brief Description of the Drawings]

Fig. 1 is a block diagram showing one embodiment of the present invention; Fig. 2 is a circuit diagram illustrating the details of a principal portion of Fig. 1; Fig. 3 is a circuit diagram showing a conventional FM modulation circuit using PLL; and Fig. 4 is a graph showing a modulation depth obtained when a circuit according to the present invention is used, and a modulation depth obtained when a conventional circuit is used.

In the drawings,

1 VCO circuit,
2 low-pass filter,
3 buffer circuit
12 modulating variable reactance element
(modulating variable capacitance diode).

[Figure 1]

<- modulated wave
2 ... low-pass filter
21 ... reference oscillator
22 ... phase comparator
23 ... phase detector

[Figure 2]

modulated wave
2 ... low-pass filter
21 ... reference oscillator
22 ... phase comparator

23 ... phase detector

[Figure 3]

modulated wave

2 ... low-pass filter

21 ... reference oscillator

22 ... phase comparator

23 ... phase detector

[Figure 4]

modulation depth

frequency

* * * * *

(10) 日本国特許庁 (JP)

(12) 実用新案公報 (Y2)

(11) 実用新案出願公告番号

実公平 6-6597

(24) (44) 公告日 平成 6 年 (1994) 2 月 16 日

(51) Int. Cl.⁵
H03C 3/00識別記号 庁内整理番号
B 8321-53

F 1

(全 4 頁)

(21) 出願番号 実願昭 62-59104
 (22) 出願日 昭和 62 年 (1987) 4 月 17 日
 (65) 公開番号 実開昭 63-165914
 (43) 公開日 昭和 63 年 (1988) 10 月 28 日

(71) 出願人 99999999
 アイコム株式会社
 大阪府大阪市平野区加美鞍作 1 丁目 6 番
 19 号
 (72) 考案者 田辺 重良
 大阪府大阪市平野区加美鞍作 1 丁目 6 番
 19 号 アイコム株式会社内
 (74) 代理人 弁理士 福井 豊明
 審査官 緒方 寿彦

(54) 【考案の名称】 FM 変調回路

【実用新案登録請求の範囲】

【請求項 1】 PLL を構成する電圧制御発振器回路 (以下 VCO 回路とする) に変調用可変リアクタンス素子を備え、変調波の振幅変化に応じて該変調用可変リアクタンス素子のリアクタンスを変化させることにより、上記 VCO 回路の発振周波数を直接変化させる FM 変調回路において、上記変調用可変リアクタンス素子の上記変調波の入力側をバイアス抵抗を介して接地し、該バイアス抵抗に対して、VCO 回路の出力と基準発振器の出力の位相差に対応して VCO 回路の発振周波数を制御する発振周波数制御電圧を印加して、発振周波数に応じたバイアス電圧をかけたことを特徴とする FM 変調回路。

【考案の詳細な説明】

【産業上の利用分野】

この考案は FM 変調回路、特に PLL 回路を利用した FM 変調回路に関するものである。

【従来技術とその問題点】

従来から用いられている PLL 回路を利用した FM 変調回路は、例えば第 3 図に示すように構成されている。基準発振器 21 よりの基準信号の周波数は位相比較器 22 に入力され、ここで後述する位相検出器 23 の出力と比較される。この比較結果はローパスフィルタ 2 に入力され、上記位相比較器 22 への両入力の位相差に対応する周波数制御電圧 Vc を出力する。VCO 回路 1 は、上記のようにローパスフィルタ 2 から供給される周波数制御電圧 Vc の大きさに応じて周波数制御用の可変容量ダイオード 11 の容量を変化させる。この可変容量ダイオード 11 はコイル 13 を介して変調用可変容量ダイオード 12 と直列に接続されており、上記コイル 13 と

上記両可変容量ダイオード11、12との直列容量とを直列共振させることにより、目的周波数の信号を発振するようになっている。即ち、周波数制御電圧Vcが大きくなると、逆バイアスされた可変容量ダイオード11の容量は小さくなる。そのため発振周波数は高くなる。一方、このVCO回路1に対して変調信号S0が入力されており、この信号S0はチョークコイル14を介して変調用可変容量ダイオード12のアノード側に印加され、信号S0のレベルに応じて変調用可変容量ダイオード12の容量を変化させて上記目的周波数信号に対してFM変調をかけるようになっている。この時、信号S0に含まれる高周波ノイズはチョークコイル14で遮断され、コンデンサC1を介して逃がされる。尚、変調用可変容量ダイオード12には常時、カソード側に固定電圧VDDが、アノード側にVDDを抵抗R1とバイアス抵抗R2で分圧した電圧が印加されている。

このような従来回路に於いて、周波数可変容量ダイオード11の容量は、VCOの発振周波数が高くなるにつれて等価的に小さくなる。そのため、変調用可変容量ダイオード12の容量変化量に対して、その直列容量の変化量が小さくなり、変調度（最大周波数偏移）は発振周波数が高くなるにつれて小さくなる。従って、前記従来回路では、第4回図に示すように、低い周波数では変調度が大きく、高い周波数では変調度が小さくなりがちであるが、FM変調に際して変調度が大き過ぎると占有周波数帯域が規定値により広がることになり、不都合である。また、変調度が小さ過ぎると充分な音量が得られなくなり、不都合である。

〔考案の目的〕

この考案は、上記従来の事情に鑑みて提案されたものであって、周波数に対して変調度が略均一となるFM変調回路を提供することを目的とするものである。

〔目的を解決するための手段〕

上記目的を達成するために、この発明は、以下の手段を採用している。即ち、PLLを構成する電圧制御発振回路（以下VCO回路とする）に変調用可変リアクタンス素子を備え、変調波の振幅変化に応じて該変調用可変リアクタンス素子のリアクタンスを変化させることにより、上記VCO回路の発振周波数を直接変化させるFM変調回路において、上記変調用可変リアクタンス素子の上記変調波の入力側をバイアス抵抗を介して接地し、該バイアス抵抗に対して、VCO回路の出力と基準発振器の出力の位相差に対応してVCO回路の発振周波数を制御する発振周波数制御電圧を印加して、発振周波数に応じたバイアス電圧をかける構成としたものである。

〔作用〕

上記の構成により、発振周波数が高くなると上記バイアス電圧も高くなり、従って変調用可変リアクタンス素子のアノード、カソード間の電位差が小さくなり、容量が大きくなるため変調度（最大周波数偏移）が小さくなる

のを防止できる。逆に、発振周波数が低くなると上記バイアス電圧も低くなり、従って、変調用可変リアクタンス素子のアノード、カソード間の電位差が大きくなり、容量が小さくなるため変調度が大きくなるのを防止することができる。

上記バイアス電圧は、PLL回路のVCO発振周波数を制御する周波数制御電圧を使用するものであり、これにより、従来回路を大幅に変更しないで目的を達成できるのである。

〔実施例〕

第1図はこの考案の一実施例を示すプロック図であり、第2図はそのプロック図の主要部を詳細に示したものである。

PLLループを介してローパスフィルタ回路2からの周波数制御電圧が、VCO回路1の周波数制御用可変容量ダイオード11に入力されていることは従来と同様であるが、上記周波数制御電圧はバッファ回路3と抵抗R1を介して変調信号S0の入力ラインに接続されている。このラインはバイアス抵抗R2で接地され、バッファ回路3の出力電圧が抵抗R1とバイアス抵抗R2で分圧された電圧が、変調用可変容量ダイオード12のアノード側に印加されるようになっている。これは、従来例におけるVDDを抵抗R1とバイアス抵抗R2で分圧した電圧の代わりになり、従来例ではこの電圧は印加されない。

これにより、高い周波数での発振が行われている時には、ローパスフィルタ回路2の周波数制御電圧は高くなっているためバイアス電圧EVが上昇し、変調用可変容量ダイオード12の容量を上げる方向に作用する。そのため変調信号による容量の変化量も大きくなり、変調度の低下を防止する。逆に、低い周波数での発振が行われている時には、ローパスフィルタ回路の周波数制御電圧が小さくなっているためバイアス電圧EVが下がって変調用可変容量ダイオード12の容量を下げる方向に作用する。そのため変調信号による容量の変化量も小さくなり、変調度の増大を防止する。その結果、変調度（最大周波数偏移）は第4図（±4.3kHzを最適の変調度としている。）の実線で示すように発振周波数の高低に関わらず均一になる。

なお、上記バッファ回路3は、ローパスフィルタ回路2とVCO回路1とのインピーダンス整合を図るために用いられるものであって、この目的を達成する回路あるいは素子であれば、どのようなものでも用いることができる。

〔考案の効果〕

以上説明したように、この考案は、変調用可変容量ダイオード（変調用可変リアクタンス素子）にVCOの発振周波数に応じたバイアス電圧を印加して容量補正することで、VCOの発振周波数によって変調度が変化することを防止することができ、変調度が大き過ぎて占有周波

数帯域が広がることもなく、また、逆に変調度が小さ過ぎて音量が不足することもない。

【図面の簡単な説明】

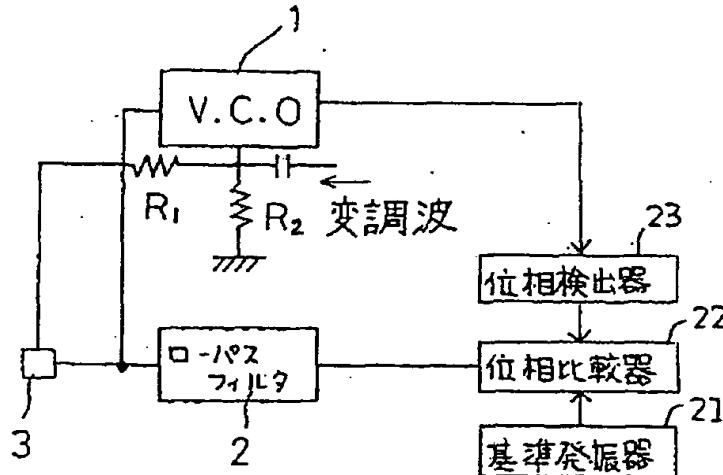
第1図はこの考案の一実施例を示すブロック図、第2図は第1図の主要部の詳細を示す回路図、第3図は従来のPLLを用いたFM変調回路を示す回路図、第4図はこの考案に係る回路を用いた場合の変調度と、従来回路を

用いた場合の変調度を示すグラフである。

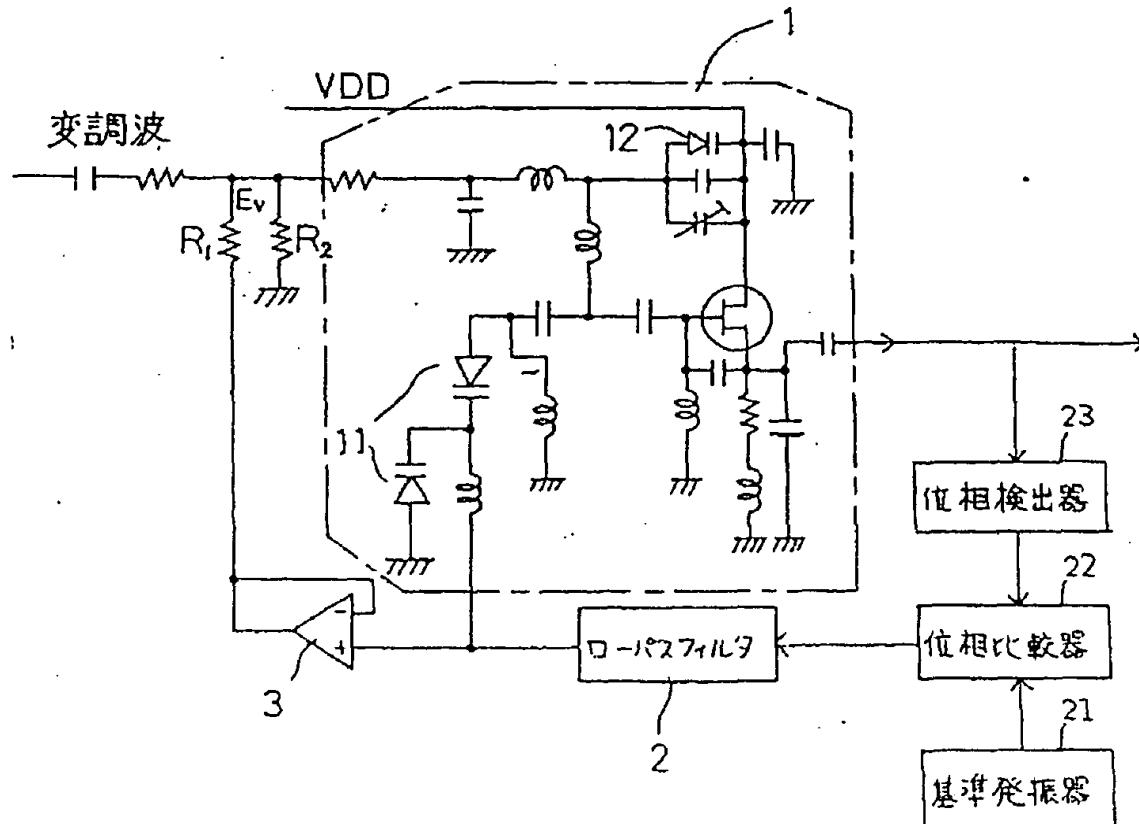
図中、

- 1 …… VCO回路、
- 2 …… ローパスフィルタ回路、
- 3 …… バッファ回路、
- 12 …… 変調用可変リアクタンス素子
(変調用可変容量ダイオード)。

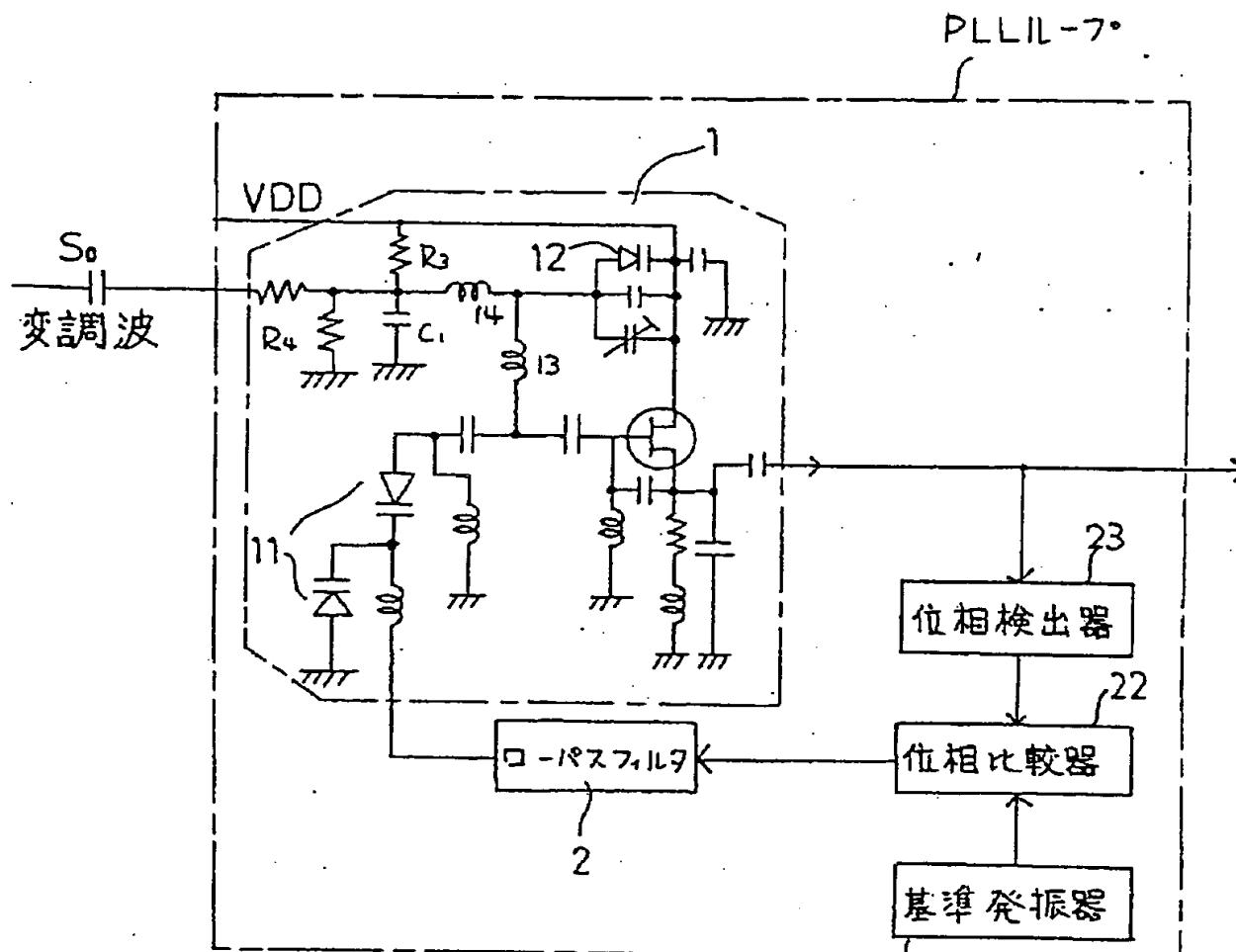
【第1図】



【第2図】



【第 3 図】



21

【第 4 図】

